

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-114475

(P2000-114475A)

(43) 公開日 平成12年4月21日(2000.4.21)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 27/108
21/8242

H 0 1 L 27/10

6 2 1 Z

審査請求 未請求 請求項の数12 O L (全 7 頁)

(21) 出願番号 特願平11-275314

(22) 出願日 平成11年9月28日(1999.9.28)

(31) 優先権主張番号 09/161861

(32) 優先日 平成10年9月28日(1998.9.28)

(33) 優先権主張国 米国 (US)

(71) 出願人 390039413

シーメンス アクチエンゲゼルシャフト
SIEMENS AKTIENGESEL
LSCHAFT

ドイツ連邦共和国 D-80333 ミュンヘン
ヴィッテルスバッハープラッツ 2

(72) 発明者 ファ シェン

アメリカ合衆国 ニューヨーク ビーコン
ハドソン ヴュー ドライヴ 1シー

(74) 代理人 100061815

弁理士 矢野 敏雄 (外2名)

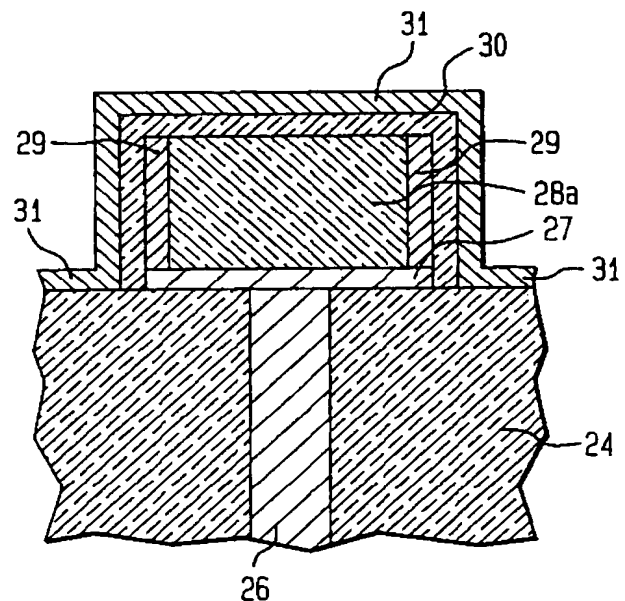
最終頁に続く

(54) 【発明の名称】 スタックトキャパシタメモリセルおよびその製造方法

(57) 【要約】

【課題】 電解効果トランジスタおよびスタックトキャパシタを有するメモリセルにおいて、サイズが小さく高密度なキャパシタを形成する工程における困難を取り除く。

【解決手段】 キャパシタが、第1の領域と電気的に接続する導電性プラグと、プラグ上に拡散障壁を形成する導電層と、障壁層上に形成され前記プラグを覆う誘電体層部分と、誘電体層の側壁上に形成され障壁層と電気的に接続してキャパシタの内部電極として機能する第1の金属層と、誘電体層部分の上部および側壁表面上に形成され、キャパシタの誘電体となる誘電物質の層と、誘電物質の層上に形成されキャパシタの外部電極となる第2の金属層により構成される。



【特許請求の範囲】

【請求項 1】 半導体本体およびキャパシタを含むメモリセルにおいて、

前記半導体本体は、その上部表面の一部に一方の導電型の第 1 および第 2 の領域を有し、該領域は他方の導電型の中間領域で隔てられてトランジスタを形成し、前記キャパシタは前記第 1 の領域上に形成され、該キャパシタは、前記第 1 の領域と電気的な接続を形成する導電性プラグと、

前記プラグ上に拡散障壁を形成する導電層と、前記障壁層上において、前記プラグを覆うように配設された誘電体層部分と、

少なくとも前記誘電体層部分の側壁上に形成され、前記障壁層と電気的に接続しており、キャパシタの内部電極として機能する第 1 の金属層と、

前記誘電体層部分の上部および側壁表面上に配設され、キャパシタの誘電体として機能する誘電物質の層と、前記誘電物質の層上に形成され、キャパシタの外部電極として機能する第 2 の金属層とを含む、ことを特徴とするメモリセル。

【請求項 2】 導電性プラグは一方の導電型を有するようにドーパされた多結晶シリコンである、請求項 1 記載のメモリセル。

【請求項 3】 2 つの金属層がどちらも白金である、請求項 2 記載のメモリセル。

【請求項 4】 障壁層は、TiN、TaSiN、およびTiAlNからなるグループから選択される 1 つの物質により構成される、請求項 3 記載のメモリセル。

【請求項 5】 第 1 の金属層は、前記誘電体層の上部表面も覆うように形成された、請求項 1 記載のメモリセル。

【請求項 6】 キャパシタ誘電体として機能する前記誘電体層はチタン酸バリウムストロンチウムである、請求項 3 記載のメモリセル。

【請求項 7】 半導体本体はシリコンである、請求項 1 記載のメモリセル。

【請求項 8】 メモリセルを形成する方法において、トランジスタの隔てられたソースおよびドレイン領域を、シリコン本体の上部表面に形成するステップと、誘電体層をシリコン本体の上部に形成するステップと、前記誘電体層内の、セルの記憶ノードとして機能する前記隔てられた領域上に、実質的に垂直な側壁を有するコンタクトホールを形成するステップと、前記隔てられた領域への導電性プラグを形成するために、前記コンタクトホールを導体で充填するステップと、前記導電性プラグ上に導電性障壁層を形成するステップと、導電性障壁層上に誘電体層部分を形成するステップと、

記憶用キャパシタの内部電極として機能させるために、前記誘電体層部分の少なくとも側壁上に導電層を形成するステップと、

前記導電層及び誘電体層部分の上部に、記憶用キャパシタの誘電体層として使用するための誘電体層を形成するステップと、

記憶用キャパシタの外部電極として機能させるために、キャパシタの前記誘電体層上に導電層を形成するステップとを含む、ことを特徴とする方法。

【請求項 9】 コンタクトホールは垂直な側壁を有するように形成され、キャパシタの電極を形成する導電層は白金である、請求項 7 記載の方法。

【請求項 10】 障壁層はTiN、TaSiN、およびTiAlNからなるグループから選択される、請求項 7 記載の方法。

【請求項 11】 キャパシタの誘電体はチタン酸バリウムストロンチウムである、請求項 9 記載の方法。

【請求項 12】 半導体本体はシリコンであり、導電性プラグは多結晶シリコンであり、金属層は白金であり、キャパシタの誘電体はチタン酸バリウムストロンチウムであり、拡散層はTiN、TaSiN、およびTiAlNから選択される物質である、請求項 8 記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はダイナミックランダムアクセスメモリ（DRAM）に関し、さらに詳細にはDRAMに使用され、電解効果トランジスタおよびスタックトキャパシタを有するメモリセル、およびDRAMの製造方法に関する。

【0002】

【従来の技術】最も重要な集積回路の 1 つはDRAMである。典型的なDRAMは、縦横に配列されたメモリセルの非常に大きなアレイから成る。それぞれのメモリセルはバイナリ数（ビット）を格納するように構成されており、ビットは前記セルに制御可能に読み込んだり、読み出したりできる。bitを書き込みおよび読み出し操作の合間に格納するために、各メモリセルは一般的にスイッチに直列なキャパシタを含む。前記スイッチは一般的に、MOSトランジスタである。メモリセルの大きなアレイを 1 つのシリコンチップ内に設けるために重要なのは、シリコン領域が小さく、密にまとめることが可能なメモリセルを使用することである。スイッチングトランジスタはシリコンウェハ内に配置しなくてはならないため、メモリセルの 1 形式では、記憶用キャパシタをシリコンチップの内部ではなく上部表面上に形成することで場所の節約を実現している。このように形成されたキャパシタは通常スタックトキャパシタと呼ばれるが、これは前記キャパシタが一般的にシリコンチップの上部表面上の多層スタックにより形成されるからである。

【0003】チップの上部表面上のそのようなキャパシ

タの小さいサイズおよび高い密度のため、それらを形成する工程は困難である。

【0004】

【発明が解決しようとする課題】本発明の課題は、上述のような公知技術の問題点を解決したスタックトキャパシタを有するメモリセル、及びそれを形成するための改良された方法を提供することである。

【0005】

【課題を解決するための手段】前記課題は本発明によれば、以下のようなメモリセル及びその製造方法により達成される。本発明のメモリセルは以下のように製造される。

【0006】まずシリコンチップの上部表面にドレインおよびソース領域を有する電界効果トランジスタが形成される。ソース領域はスタックトキャパシタの下部電極に電気的に接続されている。そのような電流端をドレインとして記述するのは都合がよい。一般的に、チップの上部表面には誘電体が形成され、その内部にはスタックトキャパシタに加えて、メモリセルへの書き込みおよび読み出しに使用されるビットおよびワード線が設けられた様々な層が含まれる。

【0007】スタックトキャパシタを形成するには、まずコンタクトホールを誘電体層中に、メモリセルの記憶ノードとして機能するソースと位置合わせして形成する。このホールは有利には異方的エッチングにより、実質的に垂直な側壁を有するように形成する。

【0008】コンタクトホールを形成した後、典型的には高密度にドーパされた多結晶シリコンの導体を埋め込んで導電性プラグを形成する。このプラグは記憶ノードとして機能するトランジスタドレインへの低抵抗接続を形成する。前記プラグの確実な接続を形成するために、有利にはプラグを盛り上げた後、典型的には化学的機械的研磨法（CMP）により表面を平坦化する。

【0009】次の工程は省くことができるが、有利には、前記プラグの上部表面を拡散障壁層で被覆する。この拡散障壁層は、プラグと、有利には白金であり、後に拡散障壁層の上に堆積されてスタックトキャパシタの第1電極又は記憶ノードとなる金属層の両方と導電接続を形成する。この拡散障壁層は、多結晶シリコンのような不所望な物質が、前記金属層へ拡散するのを防止する障壁として機能する。これは前記金属層が、シリコンと不所望に反応する白金である場合には特に重要である。前記障壁層に適切な物質には、TiN、TaSiN、およびTiAlNを含む。

【0010】障壁層が形成された後、誘電体層で被覆される。この誘電体層はフォトリソグラフィにより、下部の誘電体層内の導電性プラグを中心とした限られた部分が残るようにパターン成形される。キャパシタの容量は誘電体層の前記限られた部分の側壁の表面積により大きく左右されるため、前記限られた部分の寸法は適切に選

択される。

【0011】次に金属を、有利には白金を、前記限られた部分の側壁に堆積させる。又は、上部表面を被覆するように堆積させてもよい。ここで堆積した金属は、キャパシタの下部電極として機能する。

【0012】ここで、障壁層はエッチングされる。次に、スタックトキャパシタの誘電体として適切な物質の層が、白金層の形状に沿って形成される。

【0013】最後に第2の有利にはこれも白金の金属層をキャパシタの誘電体を覆うように堆積させてキャパシタを完成する。この金属層はキャパシタの第2（上部）電極を形成する。この電極は通常は固定電位、典型的にはアース電位に保たれる。

【0014】従って、本発明によれば装置としてメモリセルが提供され、このメモリセルは半導体本体およびキャパシタから構成される。半導体本体は上部表面の一部に一方の導電型の第1および第2の領域を有し、これらの領域は他方の導電型の中間領域によって隔てられており、トランジスタを形成する。前記キャパシタは前記第1の領域を覆うように形成され、前記第1の領域と電気的な接続を形成する導電性プラグと、前記プラグ上に形成され、拡散障壁を形成する導体の層と、前記障壁層に積層し、前記プラグ上に配設された誘電体層部分と、少なくとも前記誘電体層部分の側壁上に配設され、障壁層と電気的に接続してキャパシタの内部電極として機能する第1の金属層と、前記誘電体層部分の上部および側壁表面上に配設されキャパシタの誘電体として機能する誘電物質の層と、前記誘電物質の層上に配設され、キャパシタの外部電極として機能する第2の金属層から構成される。

【0015】また、本発明はメモリセル形成方法を提供し、この方法は以下のステップすなわち：シリコン本体上部表面にトランジスタのソースおよびドレイン領域を間隔をあけて形成するステップと、シリコン本体上部表面に誘電体層を形成するステップと、実質的に垂直な側壁を有するコンタクトホールを、前記誘電体層内の、セルの記憶ノードとして機能する前記間隔をあけた領域上に形成するステップと、コンタクトホールを導体で充填し、前記間隔をあけた領域への導電性プラグを形成するステップと、導電性障壁層を導電性プラグ上に形成するステップと、誘電体層部分を導電性障壁層上に形成するステップと、記憶用キャパシタの内部電極として機能させるために、少なくとも誘導層部分の側壁上に導電層を形成するステップと、前記導電層、および前記誘電体層部分の上部を覆うように、記憶用キャパシタの誘電体層として適切な誘電体層を形成するステップと、記憶用キャパシタの外部電極として機能するように、導電層をキャパシタの誘電体層を覆うように形成するステップから構成される。

【0016】

【発明の実施の形態】図1に、今日のDRAMに多く使用されている典型的な従来技術によるメモリセル10を示す。メモリセル10は回路図形式で、半導体素子が断面図で示されている。このセルはキャパシタ18および絶縁ゲート電界効果トランジスタ(IGFET)からなる。キャパシタ18は、第1および第2の電極18aおよび18bを有する。IGFETはMOS型電界効果トランジスタ(MOSFET)としても知られている。IGFETは半導体本体(基板)内に形成されており、基板11の一部によって隔てられたドレイン領域12およびソース領域13を含む。領域12と13を隔てる基板11の一部上には、ゲート酸化物と呼ばれる誘電体層14が形成される。層14上にはゲートコンダクタ15が形成され、DRAMのワード線に連結されている。ドレインの少なくとも一部上には接点16が形成され、DRAMのビット線に連結されている。領域13の少なくとも一部上には接点17が形成され、キャパシタ18の電極18aに連結されている。キャパシタ18の電極18bは、典型的には接地19と示された固定電位に接続されている。ドレインとして示した領域12は、メモリセル10の部分的な動作の間ソースとなる。また、ソースとして示した領域13はメモリセル10の部分的な動作の間ドレインとなる。典型的には基板11はn型導電性を有する。領域12および13はp型導電性を有するシリコンである。nチャネル型トランジスタでは、基板11はp型導電性で、領域12および13はn型導電性である。ビットおよびワード線への信号の印加により、バイナリ数のキャパシタ18への書き込みおよび読み出しが行われる。

【0017】図2に、本発明によるメモリセル1つを設けるために十分な大きさのシリコン本体(基板)20のp型部分の断面図を示す。基板20の上部表面部には、2つのn型領域20aおよび20bが形成されている。これらn型領域は基板20の一部により隔てられ、トランジスタのドレインおよびソースを形成する。ゲート酸化物である誘電体層22aは、領域20aと20bとの間の基板20の一部上に形成され、ゲート22bは層22a上に形成されている。上部表面21は主として誘電物質により形成された層24に覆われている。前記誘電物質は、典型的には酸化シリコンおよび窒化シリコンの層の組み合わせであり、ビットおよびワード線として機能する種々の導電層(図示しない)と、トランジスタ端子をそれらの線に接続するコンタクトプラグ(図示しない)とを含む。

【0018】スタックトキャパシタと呼ばれるキャパシタは、層24を貫通して領域20aまで達するトレレンチ23内に形成される。

【0019】図3に、領域20a、層24およびコンタクトホール23を含む図2の構造の一部を示す。本発明によるスタックトキャパシタを形成するために、まずコ

ンタクトホール23を誘電体層24に形成し、基板20の領域20aの一部を露出する。このコンタクトホールは有利には垂直側壁を有し、これは典型的には反応性イオンエッチング(RIE)により形成される。RIEにより、公知のフォトリソグラフィのパターン技術により形成されるマスクに従って異方的にエッチングが行われる。

【0020】続く図には、誘電体層24の、スタックトキャパシタが形成される部分だけが示してある。該スタックトキャパシタはトランジスタのn型領域20aへの低抵抗な接続を形成する。

【0021】図4で分かるように、前記コンタクトホールは導電物質で埋め込まれ、基板20の領域20aへの低抵抗な導電コンタクトプラグ26を形成する。前記導電物質は典型的にはn型にドーパされた多結晶シリコンである。典型的には、確実に埋め込むために、十分な多結晶シリコンを典型的には化学気相成長(CVD)により堆積させて誘電体層24の表面を覆い、その後この表面を公知の手法で実質的に充填部だけを残すようにCMPにより平坦化する。

【0022】その後、これも図4に示したように、有利には前記コンタクトプラグ26を囲んでいる領域は導電性障壁層27、典型的にはTaSiNのような導電物質で覆われる。この障壁層はn型ドーパントの外方拡散、または多結晶シリコンの充填部からのシリコンのマイグレーションを制限する。この障壁層は、効果的な障壁となるために十分な厚さがあれば良い。この障壁層は次に典型的には酸化シリコン、窒化シリコンまたは酸化窒化シリコンのいずれかの誘電体層28で被覆される。

【0023】次には、図5に示したように、誘電体層28を層28aのように成形する。層28は実質的にはコンタクトプラグ26を中心とし、そして一般的にはプラグより大きい断面積を有する。これは、層28aの側壁の表面積が実質的にキャパシタの電極の表面積になるからである。

【0024】次に金属、有利には白金の層29を少なくとも誘電体層28aの側壁に形成する。これは図6に示してある。有利にはこの金属層を、誘電体層28aの上部表面も被覆するように堆積させることができる。これは図9に示してあり、以下で説明する。層29を側壁だけに限定したいならば、白金を層28aのすべての露出した表面全体に一律に堆積させ、それからイオンミリングのような公知の手法で不所望な場所の白金を取り除くのが通常は有利である。障壁層27の露出した残存物も取り除かれて、図7に示した構造が残る。層28aの側壁に残存する白金層29は、キャパシタの下部電極となり、図1に示すようにスイッチングトランジスタの電流端に接続される。

【0025】次には図8に示したように、キャパシタの誘電体として機能する誘電体層30、およびキャパシタ

の上部電極として機能する金属層 31 を順に堆積させる。誘電体層 30 はチタン酸バリウムストロンチウム等の高い誘電率を有する物質により形成し、記憶用キャパシタとして望ましい高い容量を実現する。金属層 31 は良導体でなければならず、有利には白金である。キャパシタの誘電体として機能する誘電体層部分 30 には十分な広がりを持たせ、コンタクトプラグに対するキャパシタ部分の位置ずれを見越しておくことが望ましい。キャパシタの外部電極として機能する外部層 31 は、一般的にはこのチップ表面全体に延びて、同様の役割をそのアレイ内の他のセルにおいても果たす。

【0026】実施例では、コンタクトプラグ 26 の上部表面からのスタックトキャパシタの高さは約 0.25 ミクロンであり、層 27 の厚さは 200 から 500 オングストロームの範囲であり、誘電体層 28 a は深さが約 1 最小線幅分、層 29 の垂直側壁間の幅は約 3 最小線幅分である。

【0027】図 9 に示すのは、図 8 の実施例に非常に類似した本発明の別の実施例である。この実施例では、図 7 の層 29 が層 29 a として層 28 a の上部に延びている点が異なる。層 29 の延長部 29 a は、スタックトキャパシタの容量を増やす。

【0028】金属層 31 は典型的にアース電位で動作するため、その他の層をアース電位で動作させる場合はそこに接続すればよい。

【0029】ここに開示した実施例は本発明の単なる例示である。例えば、窒化シリコンの層を、典型的には酸化シリコンの層 28 a と、典型的には白金の層 29 の間に使用することにより層 28 a、29 および 29 a の接合を向上させることができる。さらに、必要とされる特性を有している限り、言及した以外の物質を置換することもできる。例えば、白金の代わりにイリジウム、銅または金をキャパシタを形成するために使用することができる。同様に、誘電率の高い他の物質でチタン酸バリウ

ムストロンチウムを置換することができる。加えて、コンタクトプラグおよび層 28 a の断面の形状は、それぞれ典型的には実質的に長方形であるが、製造を容易にするために任意に選択できる。

【図面の簡単な説明】

【図 1】典型的な従来技術による DRAM のメモリセルの断面図である。

【図 2】上部にスタックトキャパシタが形成されたメモリチップの断面図である。

【図 3】本発明による、図 2 のメモリセル用スタックトキャパシタの一作製過程を示す図である。

【図 4】本発明による、図 2 のメモリセル用スタックトキャパシタの一作製過程を示す図である。

【図 5】本発明による、図 2 のメモリセル用スタックトキャパシタの一作製過程を示す図である。

【図 6】本発明による、図 2 のメモリセル用スタックトキャパシタの一作製過程を示す図である。

【図 7】本発明による、図 2 のメモリセル用スタックトキャパシタの一作製過程を示す図である。

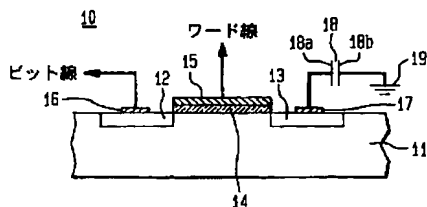
【図 8】本発明による、図 2 のメモリセル用スタックトキャパシタの一作製過程を示す図である。

【図 9】本発明による、図 2 のメモリセル用スタックトキャパシタの一作製過程を示す図である。

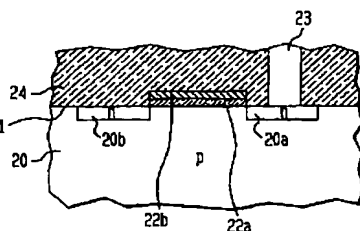
【符号の説明】

- 10 メモリセル
- 11 半導体本体
- 12 ドレイン領域
- 13 ソース領域
- 20 基板
- 23 コンタクトホール
- 24、28、30 誘電体層
- 26 コンタクトプラグ
- 27 拡散障壁層
- 29、31 導体層

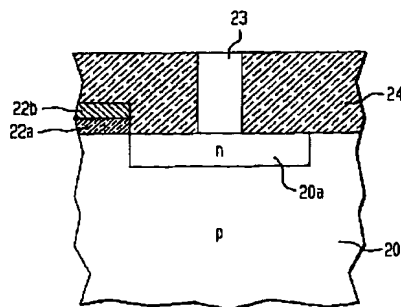
【図 1】



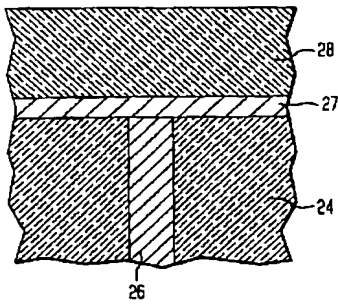
【図 2】



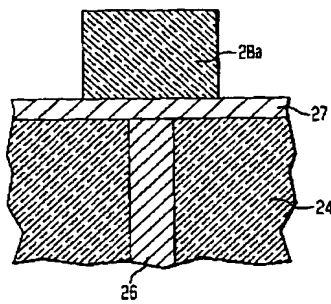
【図 3】



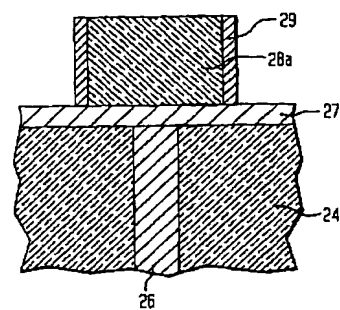
【図 4】



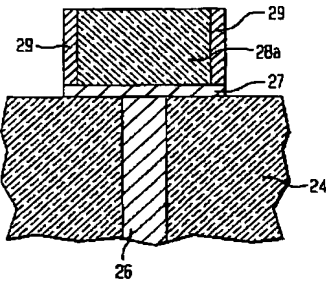
【図 5】



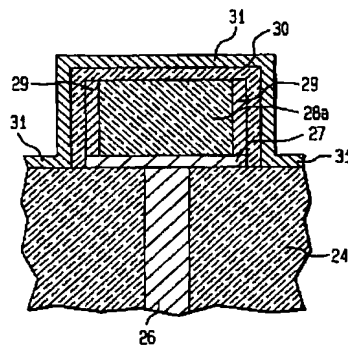
【図 6】



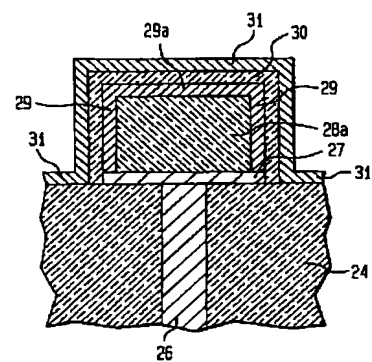
【図 7】



【図 8】



【図 9】



【手続補正書】

【提出日】平成11年11月1日（1999. 11. 1）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正内容】

【請求項1】 半導体本体およびキャパシタを含むメモリセルにおいて、
前記半導体本体は、その上部表面の一部に一方の導電型の第1および第2の領域を有し、該領域は他方の導電型の間領域で隔てられてトランジスタを形成し、前記キャパシタは前記第1の領域上に形成され、該キャパシタは、
前記第1の領域と電気的な接続を形成する導電性プラグと、
前記プラグ上に拡散障壁を形成する導電層と、
前記障壁層上において、前記プラグを覆うように配設された誘電体層部分と、
少なくとも前記誘電体層部分の側壁上に形成され、前記障壁層と電気的に接続しており、キャパシタの内部電極として機能する第1の金属層と、

前記誘電体層部分の上部および側壁表面上に形状に沿うように配設され、キャパシタの誘電体として機能する誘電物質の層と、

前記誘電物質の層上に形状に沿うように形成され、キャパシタの外部電極として機能する第2の金属層とを含む、ことを特徴とするメモリセル。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】従って、本発明によれば装置としてメモリセルが提供され、このメモリセルは半導体本体およびキャパシタから構成される。半導体本体は上部表面の一部に一方の導電型の第1および第2の領域を有し、これらの領域は他方の導電型の間領域によって隔てられており、トランジスタを形成する。前記キャパシタは前記第1の領域を覆うように形成され、前記第1の領域と電気的な接続を形成する導電性プラグと、前記プラグ上に形成され、拡散障壁を形成する導電層の層と、前記障壁層に積層し、前記プラグ上に配設された誘電体層部分と、少なくとも前記誘電体層部分の側壁上に配設され、障壁層

と電氣的に接続してキャパシタの内部電極として機能する第 1 の金属層と、前記誘電体層部分の上部および側壁表面上に形状に沿うように配設されキャパシタの誘電体

として機能する誘電物質の層と、前記誘電物質の層上に形状に沿うように配設され、キャパシタの外部電極として機能する第 2 の金属層から構成される。

フロントページの続き

(72) 発明者 ゲールハルト クンケル
 アメリカ合衆国 ニューヨーク フィッシ
 ユキル ホウソーン コート 22

(72) 発明者 マーティン グーチェ
 ドイツ連邦共和国 ドルフエン ダマール
 ベルク 18アー